

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-242402

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

H01L 27/08
H01L 29/66
H01L 29/78
H01L 29/786
H01L 49/00

(21)Application number : 09-358857

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.12.1997

(72)Inventor : UCHIDA KEN
CHOKAI AKIRA
OHATA AKIKO
KOGA JUNJI

(30)Priority

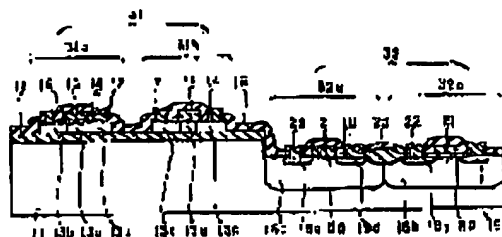
Priority number : 08357186 Priority date : 26.12.1996 Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device where a device such as a single electronic transistor and a device such as a conventional CMOS can be mixedly mounted by fully utilizing each feature.

SOLUTION: In a semiconductor integrated circuit device that uses a silicon substrate 11 and an SOI substrate consisting of a buried insulation film 12 that is formed on the silicon substrate 11 and a surface silicon layer 13 that is formed on the buried insulation film 12, at least one of semiconductor devices 32a and 32b is formed on the silicon substrate 11, and at least one of semiconductor devices 31a and 31c is formed on the surface silicon layer 13. A semiconductor device 31 that is formed on the silicon layer operates with a power voltage that is smaller than that of a semiconductor device 32 being formed on the semiconductor substrate.



LEGAL STATUS

[Date of request for examination]

07.01.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3155946

[Date of registration] 02.02.2001

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242402

(43) 公開日 平成10年(1998)9月11日

(51) Int.Cl. ⁴	識別記号	F I	
H 0 1 L 27/08	3 9 1	H 0 1 L 27/08	3 3 1 E
29/66		29/66	
29/78		49/00	Z
29/786		29/78	3 0 1 J
49/00			6 1 3 Z
審査請求 有 請求項の数 8 O L (全 15 頁)			

(21) 出願番号 特願平9-358857

(22) 出願日 平成9年(1997)12月28日

(31) 優先権主張番号 特願平8-357186

(32) 優先日 平8(1996)12月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 内田 建

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 島海 明

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 大品 昭子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 井理士 鈴江 武彦 (外6名)

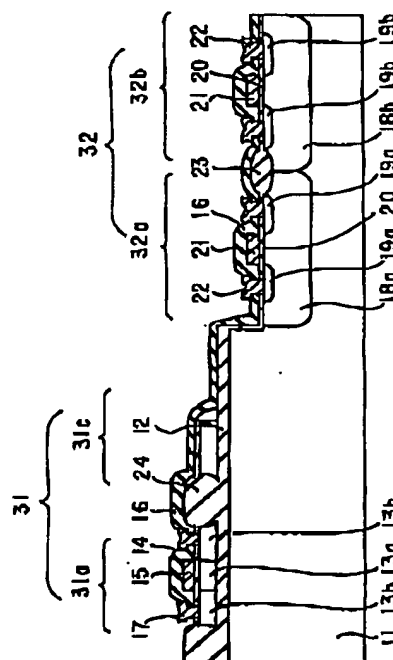
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 単一電子トランジスタ等のデバイスと従来型のCMOS等のデバイスとを、それぞれの特徴を生かしながら混載化することが可能な半導体集積回路装置を提供する。

【解決手段】 シリコン基板11、このシリコン基板11上に形成された埋込み絶縁膜12及びこの埋込み絶縁膜12上に形成された表面シリコン層13とからなるSOI基板を用いた半導体集積回路装置において、シリコン基板11上に少なくとも一つの半導体デバイス32a、32bが形成され、表面シリコン層13上に少なくとも一つの半導体デバイス31a、31cが形成されている。シリコン層上に形成された半導体デバイスは半導体基板上に形成された半導体デバイスよりも小さな電源電圧で動作するように構成されている。



(2)

特開平10-242402

2

【特許請求の範囲】

【請求項1】 半導体基板と、この半導体基板上に形成された絶縁膜と、この絶縁膜上に形成されたシリコン層とからなるSOI基板を有する半導体集積回路装置において、

前記半導体基板上に形成された少なくとも1つの半導体デバイスと、

前記シリコン層上に形成され、前記半導体基板上に形成された半導体デバイスの電源電圧と異なる電源電圧で動作する、少なくとも1つの半導体デバイスとを具備することを特徴とする半導体集積回路装置。

【請求項2】 前記半導体基板上の半導体デバイスの電源電圧は、前記シリコン層上の半導体デバイスの電源電圧より大きいことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記半導体基板上の半導体デバイスは、前記シリコン層上の半導体デバイスの周辺に配置されることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項4】 前記半導体基板上に形成され、外部電源から電源電圧の供給を受ける降圧回路、昇圧回路、増幅回路、パルス発生回路を更に具備することを特徴とする請求項1に記載の半導体集積回路装置。

【請求項5】 前記絶縁膜と前記シリコン層とのそれぞれ側面は、導電性の材料によって覆われていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項6】 前記導電性材料は接地電位に設定されていることを特徴とする請求項5に記載の半導体集積回路装置。

【請求項7】 半導体基板と、この半導体基板上に形成された絶縁膜と、この絶縁膜上に形成されたシリコン層とからなるSOI基板を有する半導体集積回路装置において、

前記半導体基板上に形成された少なくとも1つの半導体デバイスと、

前記シリコン層上に形成され、前記半導体基板上に形成された少なくとも1つの単一電子素子とを具備することを特徴とする半導体集積回路装置。

【請求項8】 前記単一電子素子を構成する伝導体島と前記半導体基板の結合容量をCとし、前記半導体基板上の半導体デバイスの電源電圧をVとしたとき、 $C \times V$ が素電荷eよりも十分に小さいことを特徴とする請求項7に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置、特にSOI (Silicon On Insulator) 基板を用いた半導体集積回路装置に関する。

【0002】

【従来の技術】最近、素子の微細化技術の進歩により、

電子1個の帯電効果を利用した単一電子トランジスタ等の単一電子素子が作製されており（例えば、IEEE Trans. Magnetics vol. MAG-23 pp. 1142-1145）、大変注目を集めている。単一電子素子は、電子1個を制御することが可能な究極の電子デバイスであり、超低消費電力といった優れた特徴を有する。

【0003】単一電子トランジスタは微小なトンネル接合を2個有する伝導体島を最小構成単位とし、この伝導体島に容量的に結合された外部電位によって接合間に流れる電流が制御される。より具体的には、伝導体島と容量Cextをもつて容量結合している外部電極の電位Vextが、 $e/Cext$ 程度変化することで、電子の流れのON/OFFを制御することができる。ここで、伝導体島からみた全ての容量の総和をCとしたとき、単一電子素子で得られる出力電圧変化および印加可能な電源電圧はおおよそ e/C 程度である。ところが、作製可能なCの大きさは10aFのオーダーであることから、前述の電圧変化として高々数mV程度しか得ることができない。設計ルールが1桁小さくなると、電圧変化は2桁大きくなる。しかしながら、現在の微細化技術の進展を見ても、将来にわたって出力電圧変化が100mVを超えることは極めて難しいと考えられる。単一電子素子は、いわゆる単一電子トランジスタやターンスタイル素子あるいはトンネル接合が1次元もしくは2次元に並んだものなど、微小なトンネル接合を有し、電子の帯電効果を利用した素子の総体として用いる。

【0004】このように、単一電子トランジスタは、超低消費電力という優れた特徴を持つものの、扱う信号の大きさは従来のCMOSと比べて極めて小さく、ノイズに対する許容度も厳しい。また、電源電圧としても数mV程度しか印加することができない。

【0005】一方、薄膜SOI上に作製されたMOS型電界効果トランジスタは、サブスレッショルド特性が良好なため、しきい値電圧を小さく設定することが可能である。また、その構造上、寄生容量が小さいという特徴がある。さらに、基板バイアス電圧によるしきい値電圧変化が小さいため、低電源電圧での動作が安定である。これらのことから、薄膜SOI上に作製されたMOS型電界効果トランジスタ（以下、MOSFET）は、バルクSi上に作製されたMOSFETより低電源電圧時に高い駆動能力と動作安定性を持つことができ、低消費電力・高速動作が可能な次世代のデバイス構造として期待されている。

【0006】ところが、このような薄膜SOI上に作製されたMOSFETは、基板浮遊効果による様々な問題を有しており、例えばラッチアップに起因するソース・ドレイン間耐圧の劣化のため、電源電圧を大きくすることができない。また、このソース・ドレイン間耐圧の劣化は、nMOSFETの場合に特に厳しいことが知られている。

3

【0007】このように、単一電子素子は数mVの電源電圧を使用し、薄膜SOI上のMOSFETは1~2V程度の電源電圧を使用するのに対し、現在用いられているCMOS等においては3.3Vの電源電圧が主流である。0.1 μ mの世代において、電源電圧は1Vになると推測されているが、いまだ単一電子トランジスタの電源電圧とは大きな隔りがある。

【0008】上述の如く、単一電子素子は、微細加工技術を利用した究極のデバイスであり、超低消費電力動作が可能である。しかしながら、扱う信号の大きさは従来のCMOSが扱う信号の大きさに比べると非常に小さく、それゆえノイズに対する許容度がCMOSに比べて極めてきびしいという問題があった。また、単一電子トランジスタは、従来のCMOSと比べるとその電源電圧が極めて小さいという問題があった。

【0009】一方、薄膜SOI上に作製されたMOSFETは、高速・低消費電力という優れた特徴を有している。しかしながら、ソース・ドレイン間耐圧が劣化するため、電源電圧として従来のCMOSに比べて比較的小さな電圧を用いなくてはならないという問題があった。特に、nMOSのソース・ドレイン間耐圧はpMOSのそれよりも劣化するという問題もあった。

【0010】

【発明が解決しようとする課題】本発明の目的は、単一電子素子等のCMOS等と比べて電源電圧が小さなデバイス、別の観点から言えばノイズ・マージンや入出力信号レベルが小さなデバイスと、従来のCMOS等の電源電圧が大きなデバイス、別の観点から言えばノイズ・マージンや入出力信号レベルが大きなデバイスとを、夫々の特徴を生かしながら混載化することが可能な半導体集積回路装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的は次のような半導体集積回路装置により達成される。すなわち、半導体基板と、この半導体基板上に形成された絶縁膜と、この絶縁膜上に形成されたシリコン層とからなるSOI基板を有する半導体集積回路装置において、前記半導体基板上に形成された少なくとも1つの半導体デバイスと、前記シリコン層上に形成され、前記半導体基板上に形成された半導体デバイスの電源電圧と異なる電源電圧で動作する、少なくとも1つの半導体デバイスとを具備することを特徴とする。

【0012】また、前記半導体基板上の半導体デバイスの電源電圧は、前記シリコン層上の半導体デバイスの電源電圧より大きいことが好ましい。

【0013】さらに、前記半導体基板上の半導体デバイスは、前記シリコン層上の半導体デバイスの周辺に配置されることが好ましい。

【0014】また、前記半導体基板上に形成され、外部電源から電源電圧の供給を受ける降圧回路、昇圧回路、

(3)

特開平10-242402

4

増幅回路、パルス発生回路を更に具備することが好ましい。さらに前記絶縁膜と前記シリコン層とのそれぞれ側面は、導電性の材料によって覆われていることが好ましい。

【0015】さらに前記導電性材料は接地電位に設定されていることが好ましい。

【0016】一方、上記目的は次のような半導体集積回路装置によっても達成される。すなわち、半導体基板と、この半導体基板上に形成された絶縁膜と、この絶縁膜上に形成されたシリコン層とからなるSOI基板を有する半導体集積回路装置において、前記半導体基板上に形成された少なくとも1つの半導体デバイスと、前記シリコン層上に形成され、前記半導体基板上に形成された少なくとも1つの単一電子素子とを具備することを特徴とする。

【0017】また、前記半導体基板上の半導体デバイスの電源電圧は、前記シリコン層上の単一電子素子の電源電圧よりも大きいことが好ましい。

【0018】さらに、前記シリコン層上に形成された、少なくとも1つのMOS型電界効果トランジスタを更に具備することが好ましい。

【0019】また、前記シリコン層上のMOS型電界効果トランジスタの電源電圧は、前記シリコン層上の単一電子素子の電源電圧よりも大きいことが好ましい。

【0020】さらに、前記単一電子素子を構成する伝導体島と前記半導体基板の結合容量をCとし、前記半導体基板上の半導体デバイスの電源電圧をVとしたとき、 $C \times V$ が素電荷eよりも十分に小さいことが好ましい。

【0021】また前記半導体基板上の半導体デバイスは、前記シリコン層上の単一電子素子を含む半導体集積回路の周辺に配置していることが好ましい。

【0022】さらに前記半導体基板上の半導体デバイスは、前記シリコン層上のMOS型電界効果トランジスタを含む半導体集積回路の周辺に配置していることが好ましい。

【0023】また、前記半導体基板上の半導体デバイスと前記シリコン層上の単一電子素子とは、前記シリコン層上のMOS型電界効果トランジスタを介して相互に接続していることが好ましい。

【0024】さらに前記半導体基板上に形成され、外部電源から電源電圧の供給を受ける降圧回路、昇圧回路、増幅回路、パルス発生回路を更に具備することが好ましい。また前記絶縁膜とシリコン層との側面それぞれが導電性の材料によって覆われていることが好ましい。

【0025】を特徴とする請求項7に記載の半導体集積回路装置。

【0026】さらに前記導電性材料は接地電位に設定されていることが好ましい。

【0027】また前記シリコン層上の単一電子素子の電源電圧は、前記半導体基板上の半導体デバイスの電源電

5

圧の1/100未満であることが好ましい。

【0028】上記において、単一電子素子は、いわゆる単一電子トランジスタやターンスタイル素子あるいはトンネル接合が1次元もしくは2次元に並んだものなど、微小なトンネル接合を有し、電子の荷電効果を利用した素子の総体として用いる。

【0029】前記半導体集積回路装置によれば、半導体基板上に形成された半導体デバイスとシリコン層上に形成された半導体デバイスとを電気的に完全に分離することができる。したがって、単一電子素子等のCMOS等に比べて電源電圧が小さなデバイス（ノイズ・マージンや入出力信号レベルが小さなデバイス）と、従来型のCMOS等の電源電圧が大きなデバイス（ノイズ・マージンや入出力信号レベルが大きなデバイス）とを、それぞれの特徴を生かしながら同一の基板上に混載化することが可能となる。すなわち、シリコン層上の半導体デバイスに対しては従来型のCMOSよりも低い電源電圧を用いてその特徴を最大限に生かした回路ブロック等を形成する一方、半導体基板上のCMOSにはCMOSに最適な電源電圧を別途設定することができる。

【0030】このような前記半導体集積回路は、以下のようにして形成される。

【0031】まず、半導体基板、この半導体基板上に形成された絶縁膜及びこの絶縁膜上に形成されたシリコン層とからなるSOI基板の第1の領域をマスクし、第1の領域以外の第2の領域に形成されているシリコン層及び絶縁膜を除去する。そして、第2の領域の半導体基板を部分的に酸化して第2の領域のみにLOCOS素子分離領域あるいはSTI素子分離領域を形成する。その後、第1の領域に素子分離領域を形成するが、この素子分離は、第1の領域のシリコン層を部分的に酸化してLOCOS素子分離とするか、或いは第1の領域のシリコン層を部分的に除去してメサ型素子分離とするか、あるいはメサ型素子分離の後、絶縁膜を堆積し、CMPを施すSTI素子分離とする。しかる後、第1の領域及び第2の領域に半導体デバイスを形成する。

【0032】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0033】本発明は、半導体基板と、この半導体基板上に形成された絶縁膜と、この絶縁膜上に形成されたシリコン層とからなるSOI基板を有する半導体集積回路装置に向けられている。本発明の特徴は、この半導体基板上に一の半導体デバイスが形成され、また前記シリコン層上に他の半導体デバイスが形成されるが、前記シリコン層上に形成される半導体デバイスは、前記半導体基板上に形成された半導体デバイスの電源電圧と異なる電源電圧で動作するものである。

【0034】上述した本発明の特徴の下で、本発明に係る半導体集積回路の好適な実施形態を図1を参照して説

(4)

特開平10-242402

6

明する。即ち、本実施形態の集積回路装置は、外部の電圧変動や温度変化に対して極めて敏感である単一電子素子を有しながら、容量が数pF以上の大きな外部バスを数Vレベルで駆動することが可能である。

【0035】図1に示すように、本実施形態の半導体集積回路では、外部バス150を駆動するためのバッファ回路、外部電位を半導体装置に最適な電源電圧とするための降圧回路、半導体装置の出力を外部電位で高めるための昇圧回路、ノイズを多く発生するクロック回路、及びノ又はパルス回路の如き回路130'を構成する半導体デバイス130（130'）を、半導体基板100上に形成している。この半導体デバイス130'は、MOS型電界効果トランジスタ130a、バイポーラトランジスタ130b等よりなる。また、単一電子素子140aや薄膜SOI-MOSFET140bを含む超低消費電力及び高機能の機能ブロックを構成する半導体デバイス140（140'）を、シリコン層120上に形成している。尚、半導体基板100上に形成している半導体デバイス130は、低出力、小振幅、低消費電力の半導体デバイス130'である。また、シリコン層120上に形成している半導体デバイス140は、大出力、大振幅、大消費電力の半導体デバイス140'である。

【0036】このような構成をとることで、外部バス150を数ボルトのレベルで駆動し、半導体基板100の電位が変動しても、単一電子素子140aの伝導体島と半導体基板100の結合容量が絶縁膜110の存在により極めて小さくなるため、半導体デバイス140（140'）の単一電子素子140aがビット・エラーを起こすことがなくなる。

【0037】また、外部バス150を駆動することによる電力消費で半導体基板100の温度が上昇しても、半導体デバイス140（140'）の単一電子素子140aはやはり半導体基板100上の絶縁膜110により半導体基板100と熱分離されているため、温度上昇が著しく抑えられ、ビット・エラーを起こすことがなくなる。

【0038】この時、半導体基板100上の半導体デバイス130の方が、シリコン層120上の半導体デバイス140よりも熱容量が十分に大きいので、シリコン層120上の半導体デバイス140の電源電圧を、半導体基板100上の半導体デバイス130の電源電圧よりも小さくし、消費電力を抑えることが望ましい。これは、シリコン層120上の半導体デバイス140が、1V程度以下の電源電圧で高機能性を発揮するが、外部電源電圧は従来から使用されている3.3Vや1.5Vがこれらから使用されていくであろうことを考えると、その有利性はより明らかである。

【0039】また、半導体デバイス140の単一電子素子140aのビット・エラーをより完全に抑えるためには、単一電子素子140aの伝導体島と、半導体基板1

7

00の結合容量Cextと、半導体基板100の最大電圧変化Vextとの積が、素電荷よりも充分に小さくなるだけ、絶縁膜110厚さを厚くすることが望ましい。

【0040】なお、ここでいう単一電子素子140aは、いわゆる単一電子トランジスタやターンスタイル素子、あるいはトンネル接合が1次元乃至2次元にアレイ状にならんだものなど、微小なトンネル接合を有し電子の併電効果を利用した素子であればどのようなものでもかまわないことはもちろんである。

【0041】同じく図1を参照して本発明に係る別の実施形態の半導体集積回路装置を説明する。本実施形態の半導体集積回路装置は、先に述べた半導体集積回路よりも動作速度を向上し得、また低消費電力性を向上することができる。

【0042】別の実施形態の半導体集積回路装置は、シリコン層120上に、単一電子素子140a及びMOS型電界効果トランジスタ140bを形成し、半導体基板100上に半導体デバイス130を形成している。

【0043】薄膜シリコン層をチャネル部として有するMOS型電界効果トランジスタ140bは、半導体基板100上のMOS型電界効果トランジスタ130aに比べて、接合容量や配線容量を小さくでき、またSub-threshold特性が改善されることから、しきい値電圧をより低く設定することが可能で、同じ電源電圧を使用したときにはより駆動力が高く、高速度な集積回路を構成することが可能となる。

【0044】従って、外部バス150を駆動したり、外部電源を降圧したり、クロック信号を発生したりする回路130'を、半導体基板100上に形成し、また、シリコン層120上には、その他の高速ロジック等の回路をMOS型電界効果トランジスタ140bで形成し且つ比較的低速でもよい機能の回路あるいは低消費電力が強く望まれる回路等を単一電子素子140aで形成することにより、最も高いパフォーマンスを発揮する半導体集積回路を提供できる。

【0045】この場合、単一電子素子140aの超低消費電力性を最大限に生かすために、単一電子素子140aの電源電圧を最も小さく設定すると共に、シリコン層120上のMOS型電界効果トランジスタ140b、半導体基板100上の半導体デバイス130の順番で電源電圧を大きくしていくことが望ましい。

【0046】このような構成をとることで単一電子素子140aと、最も電圧変化の大きな半導体基板100上の半導体デバイス130とは、半導体基板100上の絶縁膜110を通して容量接合される。また、シリコン層120上のMOS型電界効果トランジスタ140bと単一電子素子140aとの結合容量は、半導体基板100上の半導体デバイス130との結合容量に比べて大きいものの、シリコン層120上のMOS型電界効果トランジスタ140bの電源電圧は、半導体基板100上に比

(5)

特開平10-242402

8

べて1/2~1/5程度に設定可能であるため、容量に対する制限は同程度に緩くすることが可能である。従って、前述したように、単一電子素子140a、MOS型電界効果トランジスタ140b、半導体デバイス130の電源電圧を、前述と同様に設定することで、消費電力性、高速度性、信頼性の点でさらによいパフォーマンスを発揮することが可能となる。

【0047】また、単一電子素子140aは出力インピーダンスが高いので、MOS型電界効果トランジスタ140bのように入力インピーダンスが高い素子で受けることが望ましい。さらに、単一電子素子140aは一般的には駆動力が低く、出力ノードの容量が大きいと、スピードが著しく遅くなるという問題があるため、半導体基板100上のMOS型電界効果トランジスタ130aと接続するよりも、シリコン層120上のMOS型電界効果トランジスタ140bと接続するほうが、全体の容量を減らせるためには好ましい。これは、シリコン層120上のMOS型電界効果トランジスタ140bがより低電圧で高駆動力を発揮することができるという点からも好ましい。

【0048】次に、SOI基板を用いた半導体集積回路装置における、半導体基板100上に形成される半導体デバイス130と、シリコン層120上に形成される半導体デバイス140との配置の各種形態を説明する。

【0049】図2に示す実施形態は、SOI基板を用いた半導体集積回路装置200の半導体基板上に半導体デバイス130が形成され、半導体基板上に形成された絶縁膜上に形成されたシリコン層に半導体デバイス140が形成された例である。

【0050】図3に示す実施形態は、SOI基板を用いた半導体集積回路装置210の半導体基板上にMOSFET、バイポーラトランジスタの如き半導体デバイス130が形成され、半導体基板上に形成された絶縁膜上に形成されたシリコン層の中心部に単一電子素子140aが形成され、該単一電子素子140aの外周部にMOSFET140bが形成された例である。

【0051】図4に示す実施形態は、図2に示す半導体集積回路装置200と同様のデバイス200a~200lを含む、SOI基板を用いた半導体集積回路装置220である。なお、シリコン層120層上の単一電子素子140と容量的に結合するすべての配線170は、その配線170における最大の電圧変化が大きければ大きいほど結合容量が小さくなるように、できるだけ単一電子素子140aから遠くに配置されていることが望ましい。従って、大きな電源ラインや、大きな電源電圧を使用する半導体基板100上の半導体デバイス130をつなぐ配線170aは、シリコン層120の上を通らない方が望ましい。

【0052】すなわち、半導体基板100上の半導体デバイス130は、シリコン層120上に形成された半導

9

体デバイス140の周りに配置している。

【0053】次に、本発明の別の好適実施形態を説明する。図6は、本発明に係る半導体集積回路装置の構成例を概念的に示したブロック図である。半導体デバイスが形成されるSOI基板9は、第1の領域1と第2の領域2とに大別される。第1の領域1には、主として超高速、超低消費電力或いは低電源電圧の半導体デバイスが形成され、主としてロジックやメモリ等の高機能回路ブロックが構成されている。この第1の領域1に形成される半導体デバイスとしては、単一電子トランジスタ3やMOSFET4があり、これらはシリコン基板上に埋込み絶縁膜を介して形成された表面シリコン層上に形成されている。単一電子トランジスタ3には例えば数mVの電源電圧が供給され、MOSFET4には例えば1Vの電源電圧が供給される。なお、単一電子トランジスタ3及びMOSFET4の両方を必ずしも設ける必要はなく、いずれか一方のみ設けるようにしてもよい。また、単一電子トランジスタ及びMOSFET以外の半導体デバイスを設けてもよい。

【0054】第2の領域2には、主として大出力の半導体デバイスが形成され、主として外部回路6との間のインターフェース回路ブロック（入力回路、出力回路或いは入出力回路）が構成されている。この第2の領域2に形成される半導体デバイスとしてはMOSFET5があり、これはバルクSi基板上に直接形成されている。MOSFET5には、例えば3.3Vの電源電圧が供給される。なお、MOSFET以外の半導体デバイスを設けてもよい。

【0055】第1の領域1と第2の領域2とは相互に接続されており、外部回路6から入力される信号は第2の領域2に設けたインターフェース回路でレベル変換された後第1の領域1に送られ、また、第1の領域1からの信号は第2の領域2に設けたインターフェース回路でレベル変換された後外部回路6に出力される。

【0056】つぎに、本発明に係る半導体集積回路装置の具体的な構成例を図6及び図7を参照して説明する。本構成例は、表面シリコン層上のMOSFETによって構成されるCMOSインバータと、バルクSi基板上の従来型のCMOSインバータとを同一のSOI基板上に混載した例である。

【0057】図6は、半導体集積回路の構造を示す断面図である。バルクSi基板11上に、SiO₂等の埋め込み絶縁膜12が形成されている。nMOSFET31a及びpMOSFET31bの活性層となるノンドープシリコン層13aと、nMOSFET31aのソース・ドレイン拡散層となるn⁺シリコン層13bと、pMOSFET31bのソース・ドレイン拡散層となるp⁺シリコン層13cとは、埋め込み絶縁膜12上の単結晶シリコンからなる表面シリコン層に形成されている。

【0058】nMOSFET31a及びpMOSFET

(6)

特開平10-242402

10

31bのゲート絶縁膜14上に、ポリシリコン等のゲート電極15が形成されている。A1等の配線層17は、TEOS等の層間絶縁膜16に形成された開口部を介し、n⁺シリコン層13bとp⁺シリコン層13cとゲート電極15とにコンタクトするように形成されている。

【0059】このように、第1の領域31には、バルクSi基板11上に埋め込み絶縁膜12を介して形成された表面シリコン層上に、メサ型素子分離によって分離されたnMOSFET31a及びpMOSFET31bが形成されている。

【0060】pウェル18aにはnMOSFET32aが形成され、nウェル18bにはpMOSFET32bが形成されている。n⁺拡散層19aはnMOSFET32aのソース・ドレイン拡散層として形成され、p⁺拡散層19bはpMOSFET32bのソース・ドレイン拡散層として形成される。

【0061】nMOSFET32a及びpMOSFET32bのゲート絶縁膜20上に、ポリシリコン等のゲート電極21が形成される。

【0062】A1等の配線層22は、層間絶縁膜16に形成された開口部を介してn⁺拡散層19a、p⁺拡散層19b及びゲート電極21とコンタクトするように形成されている。nMOSFET32aとpMOSFET32bとは、LOCOS素子分離23によって分離されている。

【0063】このように、第2の領域32には、バルクSi基板11上にnMOSFET32a及びpMOSFET32bが形成されておき、これらにより従来型のCMOSが構成されている。

【0064】図7は、図6に示した構造によって得られる半導体集積回路の回路構成例を示した図である。第1の領域31（第1の回路ブロック）には、図6に示したnMOSFET31a及びpMOSFET31bによって2個のCMOSインバータが形成されている。そして、このCMOSインバータの基準電位部40と電源部41との間には、例えば1Vの電源電圧が供給されている。

【0065】第2の領域32（第2の回路ブロック）には、図6に示したnMOSFET32a及びpMOSFET32bによって2個のCMOSインバータが形成されている。そして、このCMOSインバータの基準電位部40と電源部42との間には、例えば3.3Vの電源電圧が供給されている。

【0066】このようにして得られる半導体集積回路は、第1の領域31（第1の回路ブロック）では超低消費電力かつ高速度な増幅段が構成されており、第2の領域32（第2の回路ブロック）によって大きな出力を得ることができる。

【0067】なお、図7の例では、第1の領域31（第

11

1の回路ブロック)に形成されたCMOSインバータと第2の領域32(第2の回路ブロック)に形成されたCMOSインバータとを直接接続しているが、一般的には、両インバータ間のレベル調整を行うために、第2の領域32にレベルシフトを形成し、このレベルシフトを介して両インバータが接続される。

【0068】また、図7の例では、第1の領域31(第1の回路ブロック)に入力された信号を第2の領域32(第2の回路ブロック)から出力するように構成しているが、これとは逆に、第2の領域32(第2の回路ブロック)に入力された信号を第1の領域31(第1の回路ブロック)から出力するように構成してもよい。この場合にも、両回路ブロック間には通常レベルシフトが設けられる。

【0069】つぎに、本発明に係る半導体集積回路装置の他の構成例を図8及び図9を参照して説明する。本構成例は、表面シリコン層上のMOSFET及び単一トランジスタによって構成されるインバータと、バルクSi基板上の従来型のCMOSインバータとを同一のSOI基板上に混載した例である。

【0070】図8は、半導体集積回路の構造を示す断面図である。なお、図6に示した構成要素と実質的に同一或いは対応する構成要素には同一番号を付し、詳細な説明は図2に示した例の対応する説明を参照するものとする。

【0071】本構成例が図6に示した構成例に対して大きく異なる点は、本構成例では、第1の領域31に側壁単一電子トランジスタ31cを形成し、さらに第1の領域31にLOCOS素子分離24を形成したことである。なお、側壁単一電子トランジスタについては後述するが、すでに出願されている特願平8-191759号の明細書及び図面、特願平7-56907号或いは特願平7-186871号の明細書及び図面にも詳細に記載されている。

【0072】図9は、図8に示した構造によって得られる半導体集積回路の回路構成例を示した図である。第1の領域31(第1の回路ブロック)には、図8に示したnMOSFET31a及び単一電子トランジスタ31cによって構成されるインバータと、図8に示した2個のnMOSFET31aによって構成されるインバータとが形成されている。nMOSFET31a及び単一電子トランジスタ31cによって構成されるインバータに対しては、基準電位部40と電源部41aとの間に例えば数mVの電源電圧が供給されている。また、2個のnMOSFET31aによって構成されるインバータに対しては、基準電位部40と電源部41bとの間に例えば1Vの電源電圧が供給されている。

【0073】第2の領域32(第2の回路ブロック)には、図8に示したnMOSFET32a及びpMOSFET32bによって2個のCMOSインバータが形成さ

(7)

特開平10-242402

12

れている。そして、このCMOSインバータの基準電位部40と電源部42との間には、例えば3.3Vの電源電圧が供給されている。

【0074】なお、図9の例では、第1の領域31(第1の回路ブロック)において、nMOSFET31a及び単一電子トランジスタ31cによって構成されるインバータと2個のnMOSFET31aによって構成されるインバータとを直接接続しているが、一般的には、両インバータ間のレベル調整を行うために、レベルシフトを介して両インバータが接続される。

【0075】また、図9の例では、第1の領域31(第1の回路ブロック)に形成されたインバータと第2の領域32(第2の回路ブロック)に形成されたインバータとを直接接続しているが、一般的には、両インバータ間のレベル調整を行うために、第2の領域32にレベルシフトを形成し、このレベルシフトを介して両インバータが接続される。

【0076】さらに、図9の例では、第1の領域31(第1の回路ブロック)に入力された信号を第2の領域32(第2の回路ブロック)から出力するように構成しているが、これとは逆に、第2の領域32(第2の回路ブロック)に入力された信号を第1の領域31(第1の回路ブロック)から出力するように構成してもよい。この場合、第1の領域31(第1の回路ブロック)では、2個のnMOSFET31aによって構成されるインバータの出力が、nMOSFET31a及び単一電子トランジスタ31cによって構成されるインバータの入力となるよう、両インバータを接続することが好ましい。

【0077】つぎに、例えば図8に示したような半導体集積回路を作製する場合の製造工程例について、図10を参照して説明する。すなわち、表面シリコン層上及びバルクSi基板上の素子双方に対してLOCOS素子分離を用いている。なお、図8に示した構成要素と実質的に同一或いは対応する構成要素については同一番号を付している。

【0078】まず、シリコン基板11上に酸化シリコン膜からなる埋込み絶縁膜12、さらにその上に単結晶シリコンからなる表面シリコン層13を有するSIMOX基板若しくは張り合わせSOI基板を用意する。そして、表面シリコン層13を酸化して100nm程度のシリコン酸化膜51を形成する。その後、第1の領域に相当する領域をマスクするフォトレジスト52を形成する(図10(a))。

【0079】つぎに、SOI基板をRIE装置中に置き、例えばCHF₃などの反応性ガスを用いることにより、フォトレジスト52をマスクとして、シリコン酸化膜51を除去する。さらに、HBrなどの反応性ガスを用いて表面シリコン層13を除去する(図10(b))。

【0080】つぎに、フォトレジスト52を除去した

13

後、SOI基板を例えば緩衝フッ酸溶液中に浸漬して、表面シリコン層13上のシリコン酸化膜51及びバルクSi基板11上に露出している埋め込み酸化膜12を除去する(図10(c))。

【0081】つぎに、基板表面を酸化して酸化膜53を50nm程度の膜厚で形成する。続いて、イオン・インプランテーションによりnウェル18a及びpウェル18bを形成する(図10(d))。

【0082】つぎに、酸化膜53上に、減圧CVD法等を用いてシリコン窒化膜54を堆積する(図10(e))。

【0083】続いて、バルクSi基板11上に素子分離領域を形成するため、図示しないフォトリソトにより開口パターンを形成してシリコン窒化膜54を部分的に除去した後、残されたシリコン窒化膜54をマスクとして酸化を行い、バルクSi基板11上にLOCOS素子分離23を形成する(図10(f))。

【0084】つぎに、減圧CVD法等によりシリコン窒化膜55を堆積する。続いて、表面シリコン層13上に素子分離領域を形成するため、図示しないフォトリソトにより開口パターンを形成してシリコン窒化膜55を部分的に除去した後、残されたシリコン窒化膜55をマスクとして表面シリコン層13の酸化を行い、表面シリコン層13上にLOCOS素子分離24を形成する(図10(g))。

【0085】なお、LOCOS素子分離を2回に分けて形成しているのは、表面シリコン層13上の素子とバルクSi基板11上の素子とで、最適な素子分離酸化膜の膜厚が異なるためである。

【0086】上記工程の後には、従来のシリコンMOSFETを作製する工程を表面シリコン層13及びバルクSi基板11に施すとともに、側壁単一電子トランジスタを作製する工程を表面シリコン層13に施すことにより、図8に示すような構成が完成する。

【0087】ここで、側壁単一電子トランジスタの一例について、図12～図15を参照して説明する。なお、詳細については、特願平8-191759号の明細書及び図面に記載されている。

【0088】図12は、側壁単一電子トランジスタの構成例を示した鳥瞰図である。すなわち、表面に絶縁膜層102及び絶縁膜層102上に形成されたシリコン等の半導体薄膜層が形成された半導体基板101(SOI基板)を用い、チャネルはゲート電極113からの電圧制御によりシリコン薄膜層107(図13～図15参照)の側壁部に形成される。ここで、シリコン薄膜層は半導体膜層109に形成された部分的な薄い層であり、電子濃度制御手段111直下にゲート絶縁膜114を介してゲート電極113に隣接している。そして、電子濃度制御手段は、電子線描画によりパターンニングした2つの電子濃度制御用電極111からなり、この電子濃度制

(8)

特開平10-242402

14

御用電極111によりシリコン薄膜層107内の空乏層の伸びが制御されて、トンネル接合の接合面積が制御できる。又、ソース・ドレイン領域116、117(図13～図15参照)は2本の電子濃度制御用電極111によりシリコン薄膜層107に形成される。108は素子分離領域、114はシリコン薄膜層の側壁部に形成されたゲート絶縁膜である。

【0089】ここで、トンネル接合面積及び中間電極の大きさについて述べる。シリコン薄膜層107の膜厚は、表面の熱酸化により5nm以下にまで制御可能であり、電子濃度制御用電極111及びゲート電極113によりシリコン薄膜層107に形成される反転層厚が約10nm以下とすると、約50nm²以下の接合面積が得られる。又、二つのトンネル接合間に形成される中間電極部の容量は、シリコン薄膜層の厚さと反転層厚と二つの電子濃度制御用電極111間距離の積により決定される。トンネルバリアを形成するための2つの電子濃度制御用電極111は、電子線描画技術により50nm間隔で50nmの幅まで微細化ができる。したがって、2つの電子濃度制御手段111間の距離は、空乏層の伸びを考慮すれば50nm以下になる。つまり、直列接続された2つのトンネル接合と中間電極の全容量和は2aF以下がえられる。

【0090】又、電子濃度制御手段により、チャネル層の表面側の空乏層の伸びを自在に制御できることから、トンネルバリアを形成すること、或いはこのトンネルバリアのバリアハイトを自在に制御することが可能である。

【0091】次に、図12に示した側壁単一電子トランジスタの製造方法について、図13と、図14と、図15とを用いて説明する。なお、これらの図において、A-A'、A1-A1'断面は図2のAn-An'断面の、B-B'、B1-B1'、B2-B2'断面は図6のBn-Bn'断面の各工程における断面図である。

【0092】まず、図13(a)の断面図に示すように、シリコン等の半導体基板101上に順次絶縁膜層102及びシリコン等からなる半導体膜層103が形成されたSOI基板上に、熱酸化法等により薄い酸化膜層104を形成し、半導体層のうち薄膜化予定領域を除き、シリコン窒化膜等の酸化防止膜105をリソグラフィ工程及びRIE法等のエッチングにより形成する。そして、図13(a)に示すように、酸化防止膜105により囲まれたシリコン膜層の上部領域を選択的に熱酸化して酸化膜106とする。この熱酸化の酸化温度、時間、酸化雰囲気等を制御すれば、チャネルとなるシリコン薄膜層107の膜厚を例えば5nm程度に制御できる。

【0093】この後、酸化防止膜105及び酸化膜106をウェットエッチング法等により順次除去すると、図13(b)に示すように、シリコン薄膜層107が露出する。この後、図13(c)に示すように、隣接する素

15

子間と電気的に分離する為の素子分離膜108をLOCOS法、STI法等により形成する。図13(d)は、図13(c)の平面図である。素子領域109は、その周囲が素子分離領域108により囲まれ、中央にはシリコン薄膜層107が形成されている。

【0094】この後、図14(a)の平面図に示すように、素子領域109表面に熱酸化法或いはCVD法等により、酸化膜等の絶縁膜110を形成する。ここでも、熱酸化法において、熱処理温度、熱処理時の雰囲気、熱処理時間等を制御することで、チャネルが形成されるシリコン薄膜層の厚さ(チャネル幅)がnmレベルで制御できる。そして図14(a)に示すように、絶縁膜層110を介して、薄膜領域上に100nm程度の厚さの多結晶シリコン等の導電体からなる電子濃度制御用電極111を形成する。この時、50nm程度の幅の狭い電子濃度制御用電極111を50nm程度の微小間隔で形成する場合には、電子線描画方法を用いたリソグラフィ工程及びRIE法等の異方性エッチングを行う。この方法で絶縁膜層110上に電子濃度制御用電極111を形成することが、直接真空蒸着等の蒸着法により形成するよりも、加工の制御性等の理由から好ましい。図14(a)の平面図におけるB1-B1'断面を図14(b)に示す。

【0095】次に、電子濃度制御用電極111を覆う絶縁膜112を形成し、シリコン膜層107の側壁を露出させるべく、絶縁膜112、電子濃度制御用電極111、絶縁膜110、及びシリコン膜層107の部分領域を順次エッチングし、図14(c)のB-B'断面に示すように、電子濃度制御用電極111の側壁部、シリコン膜層107の側壁部に、熱酸化法等により酸化膜等のゲート絶縁膜115を形成する。ここでは、絶縁膜115と同時に形成しているが、後に形成するゲート電極113と電子濃度制御用電極111とが絶縁されるように、これらが離間して形成されればよく、同時に絶縁膜115を形成する必要はない。

【0096】次に、図15(a)のB2-B2'断面図に示すように、チャネルが形成されるシリコン薄膜層107にゲート絶縁膜114を介して隣接するゲート電極113を、側壁残しの技術を用いて形成する。なお、図12の鳥瞰図は、図15(a)の絶縁膜112を除いた状態を示している。

【0097】この後、図15(b)の平面図に示すように、2本の電子濃度制御用電極111を両側から挟むようにソース・ドレイン領域116、117をイオン注入法等により形成する。この際、導入するイオンの不純物は、p型の導電型としては例えばボロン、n型としては例えば磷やヒ素がある。

【0098】そして、素子領域を覆う層間分離膜(図示せず)を形成し、ゲート電極、ソース・ドレイン電極につながる開口を形成し、アルミニウムや銅等の金属から

(9)

特開平10-242402

16

なる配線を形成して、図14に示すような側壁単一電子トランジスタが完成する。

【0099】つぎに、例えば図6に示したような半導体集積回路を作製する場合の製造工程例について、図11を参照して説明する。すなわち、表面シリコン層上の素子に対してはメサ型素子分離を用い、バルクSi基板上の素子に対してはLOCOS素子分離を用いている。なお、図14に示した製造工程例の途中の段階までは共通であるため、図10に示した構成要素と実質的に同一或いは対応する構成要素については同一番号を付している。

【0100】図10(e)の工程の後、バルクSi基板11上に素子分離領域を形成するため、図示しないフォトリソストにより開口パターンを形成してシリコン窒化膜54を部分的に除去した後、残されたシリコン窒化膜54をマスクとして酸化を行い、バルクSi基板11上に、LOCOS素子分離23を形成する(図11(a))。

【0101】つぎに、シリコン窒化膜54をRIE装置により例えばCF₄のような反応性ガスを用いて除去した後、メサ型素子分離を形成するためのマスクとして、フォトリソスト56を形成する(図11(b))。

【0102】つぎに、例えば反応性イオンエッチング装置中でCHF₃等の反応性ガスを用いてシリコン酸化膜53を除去し、引き続き例えばHBr等の反応性ガスを用いて表面シリコン層13を除去する(図11(c))。

【0103】つぎに、フォトリソスト56を除去した後、露出表面の埋込み酸化膜12が除去される程度にSOI基板を緩衝フッ酸溶液に浸漬する(図11(d))。

【0104】つぎに、バルクSi基板11及び表面シリコン層13それぞれにゲート酸化膜14及び20を形成し、続いてゲート酸化膜14及び20上にそれぞれゲート電極15及び21を形成する(図11(e))。

【0105】上記工程の後、従来のシリコンMOSFETを作製する工程を表面シリコン層13及びバルクSi基板11に施すことにより、図6に示すような構成が完成する。

【0106】なお、側壁単一電子トランジスタを作製する工程を表面シリコン層13に施すことにより、図8と同様な半導体集積回路を作製することも可能である。

【0107】図16は本発明に係る一実施形態の半導体集積回路の構造を示す断面図である。図6と同一部分には同一符号を付した図16に示すように、図10及び図11にて示した工程によりゲート電極20を形成し、S/Dイオンインプランテーションを施した後、層間絶縁膜となる酸化膜60を、例えばLPCVD法等により例えば5000オングストローム堆積する。その後、CMP工程を施して表面を平坦化した後、RIE法等により

17

コンタクト・ホールを開口する。次に、この開口したコンタクト・ホールに、例えばタングステン等の電極材61でコンタクト・ホールを埋め込む。その後、AlあるいはCu等により上面での配線を施せば、図16に示したような半導体集積回路が完成する。

【0108】次に、図6と同一部分には同一符号を付した図17を参照して、本発明に係る一実施形態の半導体集積回路を説明する。この実施形態の半導体集積回路は、シリコン層と半導体基板の電気的な絶縁をより完全にすることができる。図10及び図11にて示した工程によりゲート電極20を形成し、S/Dイオンインプランテーションを施した後、層間絶縁膜となる酸化膜70を、例えばLPCVD法等により例えば5000オングストローム堆積する。その後、CMP工程を施して表面を平坦化した後、RIE法等によりシリコン層13b、13cと半導体基板11の境界にコンタクト・ホールを形成した後、シリコン層13b、13c及び半導体基板11との電気的な絶縁をとるために、酸化膜71を例えば100オングストローム程度堆積する。

【0109】その後、例えばタングステン等の電極材72により、先ほどのコンタクト・ホールを埋め込む。その後、ふたたび酸化膜73をプラズマCVD法等により例えば1000オングストローム堆積する。この堆積した酸化膜73に、半導体デバイスのS/D電極あるいはゲート電極領域にコンタクトをとるためのコンタクト・ホールを開口する。この開口したコンタクト・ホールに、例えばタングステン等の電極材74を埋め込む。そして、AlあるいはCu等により上面での配線を施せば、図17に示したような半導体集積回路が完成する。

【0110】このような構成をとることで、シリコン層13cは、シリコン層13cと半導体基板11の境界の電極72によって、半導体基板11から電気的にシールドされるためより信頼性の高い半導体集積回路を提供することが可能となる。さらに、電気的な分離を完全にするために、シリコン層と半導体基板との境界にけいせいした電極75は、接地していることが望ましい。

【0111】

【発明の効果】以上述べたように、本発明における半導体集積回路装置では、半導体基板上に形成された半導体デバイスとシリコン層上に形成された半導体デバイスとを電気的に完全に分離することができる。

【0112】したがって、単一電子トランジスタ等のCMOS素子等に比べて電源電圧が小さなデバイス（ノイズ・マージンや入出力信号レベルが小さなデバイス）と、従来型のCMOS素子等の電源電圧が大きなデバイ

(10)

特開平10-242402

18

ス（ノイズ・マージンや入出力信号レベルが大きなデバイス）とを、それぞれの特徴を生かしながら同一の基板上に混載化することが可能となる。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路装置の構成を概念的に示した図。

【図2】本発明に係る半導体集積回路装置の好適例を示した図。

【図3】本発明に係る半導体集積回路装置の好適例を示した図。

【図4】本発明に係る半導体集積回路装置の好適例を示した図。

【図5】本発明に係る半導体集積回路装置の構成例を概念的に示したブロック図。

【図6】本発明に係る半導体集積回路装置の具体的な構成の一例を示した図。

【図7】図6に示した構造によって得られる回路構成例を示した図。

【図8】本発明に係る半導体集積回路装置の具体的な構成の他の例を示した図。

【図9】図8に示した構造によって得られる回路構成例を示した図。

【図10】本発明に係る半導体集積回路装置の製造工程の一例を示した図。

【図11】本発明に係る半導体集積回路装置の製造工程の他の例を示した図。

【図12】単一電子トランジスタの構成例を示した図。

【図13】図12に示した単一電子トランジスタの製造工程について、その工程の一部を示した図。

【図14】図12に示した単一電子トランジスタの製造工程について、その工程の一部を示した図。

【図15】図12に示した単一電子トランジスタの製造工程について、その工程の一部を示した図。

【図16】本発明に係る半導体集積回路装置の具体的な構成のさらに他の例を示した図。

【図17】本発明に係る半導体集積回路装置の具体的な構成のさらに他の例を示した図。

【符号の説明】

11…シリコン基板

12…埋込み絶縁膜

13…表面シリコン層

31a、31b…MOSトランジスタ

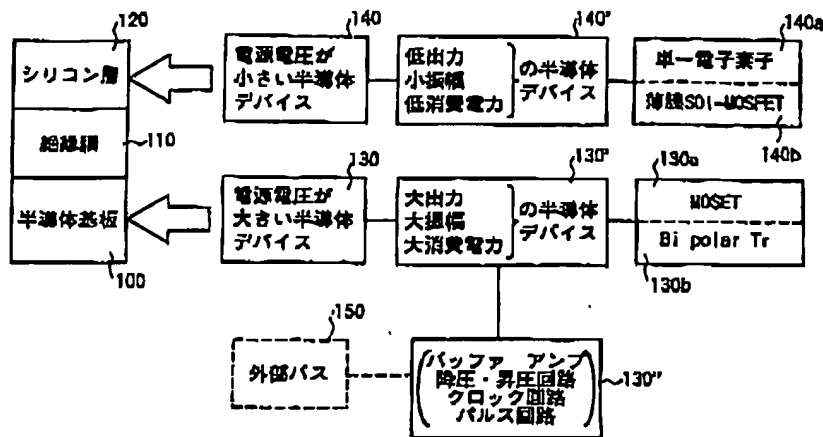
31c…単一電子トランジスタ

32a、32b…MOSトランジスタ

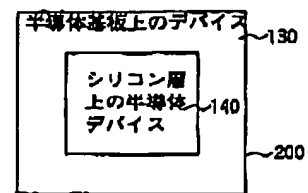
(11)

特開平10-242402

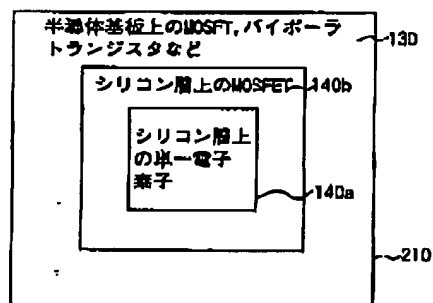
【図1】



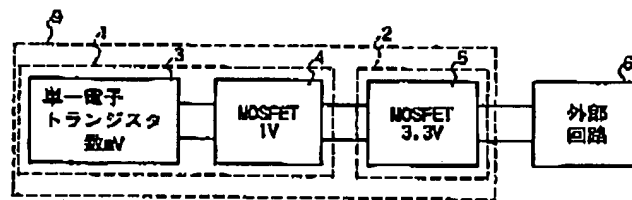
【図2】



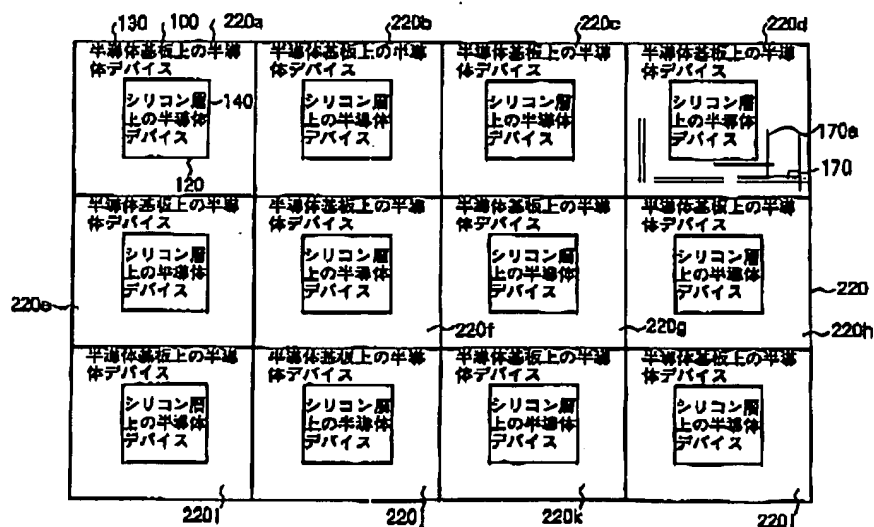
【図3】



【図5】



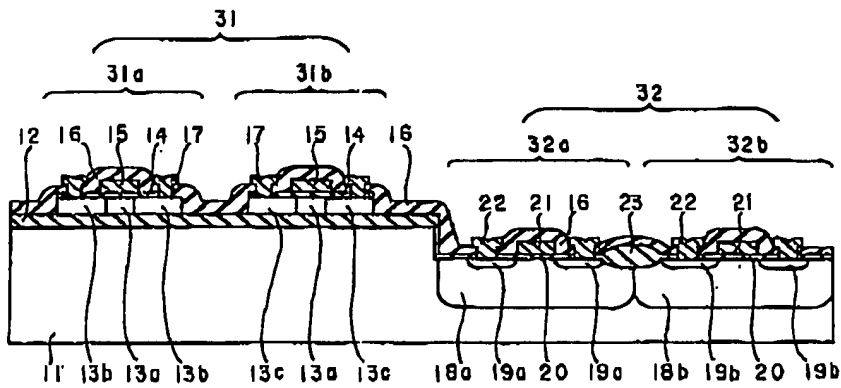
【図4】



(12)

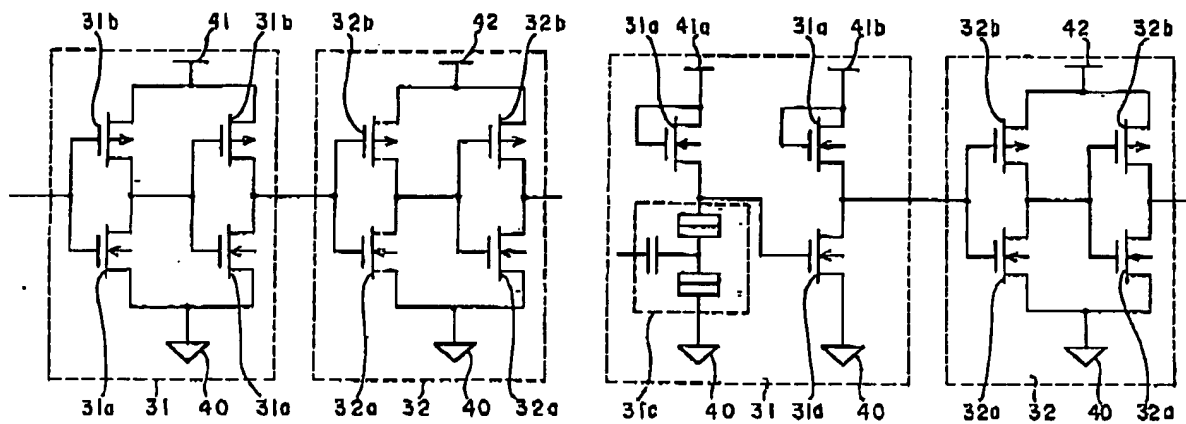
特開平10-242402

【図6】

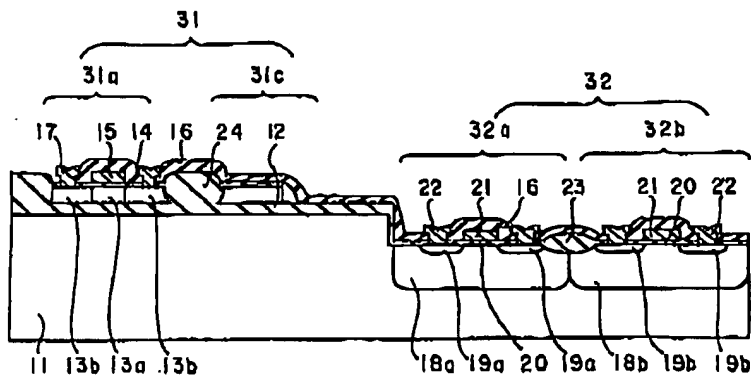


【図7】

【図9】



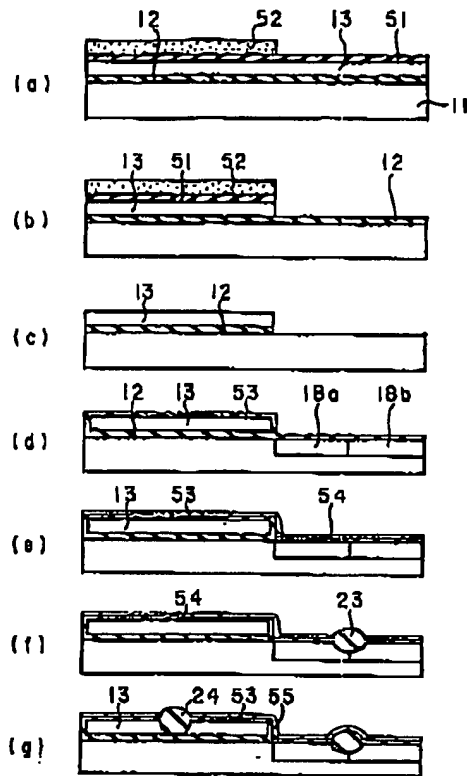
【図8】



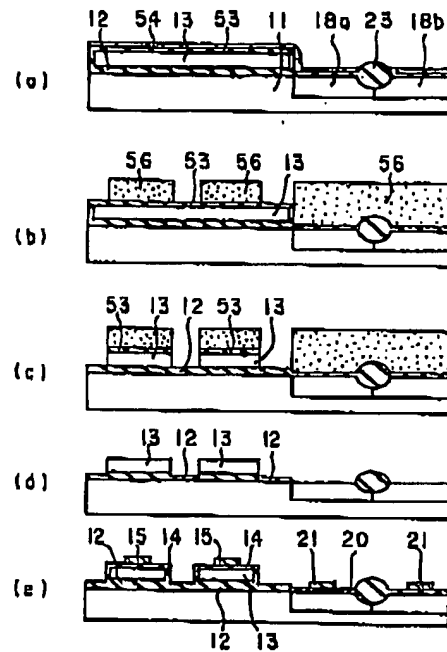
(13)

特開平 10-242402

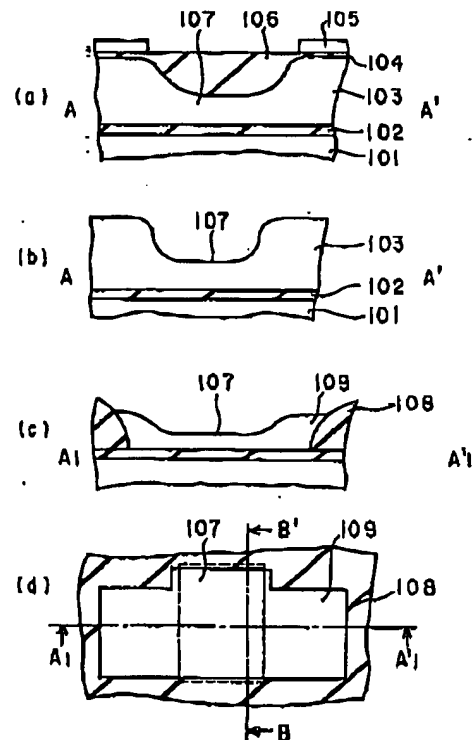
【圖 10】



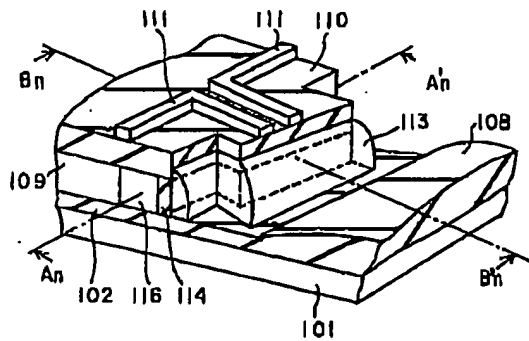
【圖 1 1】



【圖 13】



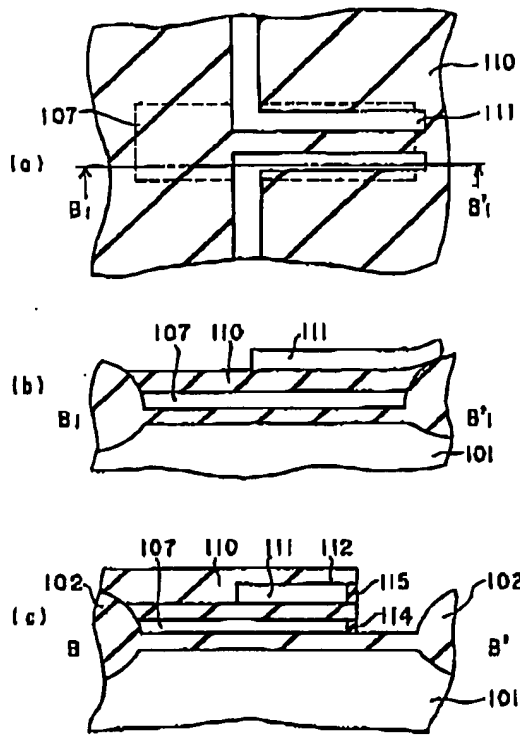
【圖 12】



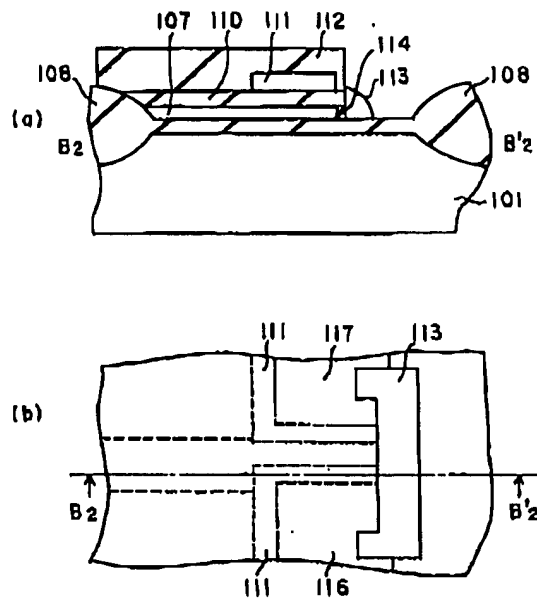
(14)

特開平 1 0 - 2 4 2 4 0 2

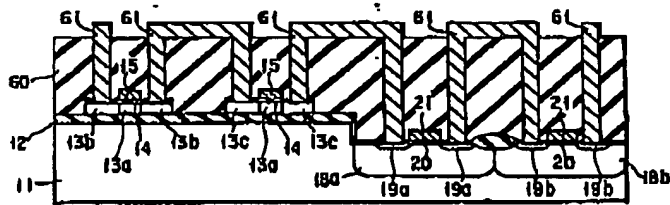
【図 1 4】



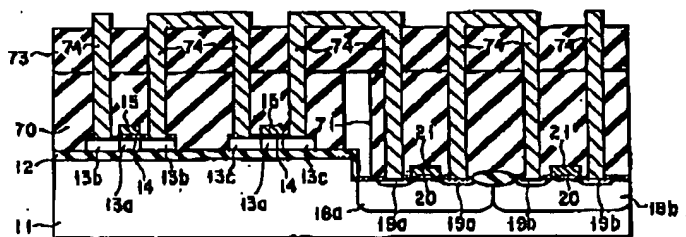
【図 1 5】



【図 1 6】



【図 1 7】



(15)

特開平 1 0 - 2 4 2 4 0 2

フロントページの続き

(72) 発明者 古賀 淳二

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内